

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-218662
 (43)Date of publication of application : 19.08.1997

(51)Int.Cl.

G09G 3/28

(21)Application number : 08-027087
 (22)Date of filing : 14.02.1996

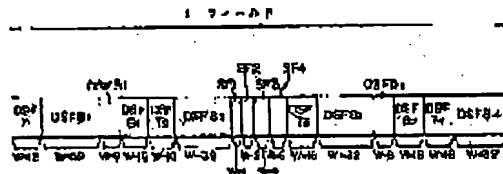
(71)Applicant : PIONEER ELECTRON CORP
 (72)Inventor : SHIGETA TETSUYA

(54) DRIVING METHOD OF LUMINOUS IMAGE DISPLAY PANEL

(57)Abstract

PROBLEM TO BE SOLVED: To provide a luminous display panel capable of suppressing generation of spurious contour.

SOLUTION: Each field is configured by dividing N-th subfield having a biggest weight in the bit digit of a picture element data into N-th divided subfields of 2n pieces, dividing (N-1)-th subfield into (N-1)-th divided subfields of 2n piece, dividing (N-2)-th subfield into (N-2)-th divided subfields of n pieces, dividing (N-3)-th subfield into (N-3)-th divided subfields of n pieces, and arranging in an adjacent relation a pair of the divided subfields of the above Nth divided subfields and (N-1)-th divided subfields arrayed in an adjacent relation to each other and one of the pair of (n-2)th divided subfields and (N-3)th divided subfields arrayed in an adjacent relation to each other to constitute each field.



LEG STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1996,2003 Japan Patent Office

BEST AVAILABLE COPY

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the drive approach of spontaneous optical image display panels, such as a plasma display panel and an EL panel.

[0002]

[Description of the Prior Art] As a spontaneous image display panel, since the plasma display uses the discharge phenomenon, it cannot control the amount of luminescence continuously. Therefore, light is emitted by the pulse and brightness is expressed with the pulse number, i.e., the frequency of luminescence. Since it looks so brightly that it is visually high, the count of luminescence, i.e., the luminescence frequency, per unit time amount, this can express gradation.

[0003] In a plasma display, the approach of saying to expressing a natural image as the subfield method is used. It is the point which expresses gradation because this does not display digitized video-signal data on point sequential in each pixel unit but the weight of each bit for every pixel displays on Junil Men repeatedly per bit plane. Video-signal data are digitized by 8 bits for every pixel, and the pixel data bits D8 and D7 by which weighting was carried out corresponding to the brightness component, andD1 are generated. Under the present circumstances, it becomes order from the bit of a high brightness component with D8, D7,D1.

[0004] Here, as shown in drawing 1 (A), the 1 field is divided into eight subfields SF8-SF1, the pixel data bits D8 and D7 andD1 are assigned to each subfield, respectively, and luminescence according to the assigned pixel data bit is performed for every subfield. In this case, the screen for D8 for completing the image of one sheet, the screen for D7 A total of the screen for D1 and eight Men sequential scanning is needed for the last.

[0005] For example, supposing the value of the pixel data bit D8 corresponding to a subfield SF 8 is logic "1", i.e., a luminescence logical value, the pixel will emit light 128 times in this subfield SF 8. Moreover, when the value of this pixel data bit D8 is "0", i.e., a quenching logical value, luminescence by the subfield SF 8 is not performed. Although similarly the pixel will emit light 64 times in this subfield SF 7 supposing the value of the pixel data bit D7 corresponding to a subfield SF 7 is logic "1", i.e., a luminescence logical value, the pixel of "0" does not emit light.

[0006] Thus, the count of luminescence is set to 128, 64, 32, 16, 8, 4, 2, and 1 at order, as shown in drawing 1 (B). If eight Men sequential scanning is performed in all, each pixel will be visually recognized with brightness considerable the bottom by a number of sum totals which carried out pulse lighting in 8 times of subfields. That is, the gradation of the arbitration from zero to 255 can be expressed. drawing 1 (C) -- 8-bit unit pixel data (1, 1, 1, 1, 1, 1, 1, 1) -- and (1, 0, 0, 0, 0, 0, 0, 0) (0, 0, 0, 0, 0, 0, 0, 1) shows the luminescence period within each subfield period corresponding to each.

[0007] By the way, it is pressed for it by the need of solving the problem on the image quality of "false contour" although the describing [above] subfield method is an approach which was excellent as a technique in which a multi-tone expression can also do single gradation display which can express only two gradation, 1 and 0. A false contour generating phenomenon is a phenomenon in which the false contour of the shape of stripes like an image by which gradation was lost is checked by looking along the neighborhood where it comes from a visual property and the signal level crosses n-th power boundaries of 2, such as above 128, 64, 32, 16, etc., with a flat image. When a flat body moves especially, it accepts notably. However, false contour is not sensed when the image is standing it still completely (i.e., when the static image accumulated in the memory of an image is displayed). It is the description of false contour to be a part with a motion of an image and to be sensed only around the above-mentioned level. Moreover, even if it is standing it still, when fluctuation is in signal level by the noise contained in a picture signal, false contour is sensed on above-mentioned the cutskirts of level like the case where there is a motion.

[0008] False contour explains using drawing 2 why it generates by the gradation expression method by the subfield method. In n field of drawing 2, the pixel of the part of the j+1st trains to the method of the right is the brightness more than "10 million", and, moreover, the pixel of a left part is the brightness below "01111111" from the j-th train. And this image is moving to the screen left at the rate of three trains (3 pixels) per 1 field. In connection with this, the continuation part (boundary part of the pixel of the brightness more than "01111111" the pixel of the following brightness and "10 million") also moves with eye the j-9th trains in eye the j-3rd trains and the n+2 field in the n+1 field in eye the j-6th trains and the n+3 field.

[0009] Here, in n field, while a luminescence period (D8) is established in the train of the method of the right at the second half stage of a vertical-scanning period from the j+1st trains, in a left train, a luminescence period (D7, D6, D5) is established at the first half stage of a vertical-scanning period from the j-th train. Then, in the n+1 field, while a luminescence period (D8) is established in the train of the method of the right at the second half stage of a vertical-scanning period from the j-2nd trains, in a left train, a luminescence period (D7, D6, D5) is established at the first half stage of a vertical-scanning period from the j-3rd trains. Then, in the n+2 field, while a luminescence period (D8) is established in the train of the method of the right at the second half stage of a vertical-scanning period from the j-5th trains, in a left train, a luminescence period (D7, D6, D5) is established at the first half stage of a vertical-scanning period from the j-6th trains. Then, in the n+3 field, while a luminescence period (D8) is established in the train of the method of the right at the second half stage of a vertical-scanning period from the j-8th trains, in a left train, a luminescence period (D7, D6, D5) is established at the first half stage of a vertical-scanning period from the j-9th trains.

[0010] So, between n field and the n+1 field, the nonluminescent period which covers the j-2nd trains from the j-th train, and covers the j-5th trains from the j-3rd trains between the n+1 field and the n+2 field, and moves to band-like [the j-8th trains] from the j-

6th trains between the n+2 field and the n+3 field arises. Therefore, when a look is moved like the arrow head S in drawing 2 on this screen, the "clearance" (the broken-line field P shows) produced in each part of the j-th train in n field, the j-3rd trains in the n+1 field, the j-6th trains in the n+2 field, and the j-9th trains in the n+3 field will be seen later on one by one. Therefore, it will concentrate on this part and the false contour as a black line will be checked by looking strongly. This is the false contour by motion. If the direction of a motion becomes reverse, it will be checked by looking as a white line. Moreover, the order of a list of a subfield is checked by looking as a white line, even if reverse in time.

[0011] Here, the technique aiming at avoiding this false contour generating phenomenon is already known with the publication-number No. 211294 [four to] official report. In this technique, it is going to prevent generating of false contour by replacing the order of a list of a subfield. For example, before and behind the subfield corresponding to the most significant bit, by arranging the subfield corresponding to a low-ranking bit from it, respectively, brightness change on the level of the most significant bit is lessened, and generating of false contour is suppressed especially.

[0012] However, according to the experiment by the invention-in-this-application person, not only the level of the most significant bit but when brightness change of the subfield corresponding to a low-ranking bit arose from it, it became clear that false contour was checked by looking. Therefore, it was checked also by the above-mentioned conventional example that prevention of false contour is not enough.

[0013]

[Problem(s) to be Solved by the Invention] Therefore, the purpose of this invention is offering the drive approach of the luminescence display panel which can fully control generating of false contour.

[0014]

[Means for Solving the Problem] In the drive approach of the spontaneous light display panel according to this invention in order to attain the above-mentioned purpose it is the drive approach of a spontaneous optical image display panel that each performs the luminescence display for the 1 field in two or more subfields where only the time amount corresponding to weighting of each bit digit of the pixel data of N (N is the natural number) bit according to the brightness for every pixel of each field of a video signal emits light. The No. N subfield where weighting of said bit digit becomes size most among said subfields is divided into the No. [N] division subfield of 2n (n is the two or more natural numbers) individual. The ** (N-1) watch subfield where weighting becomes the degree of said No. N subfield size is divided into a 2n piece ** (N-1) watch division subfield. The ** (N-2) watch subfield where weighting becomes the degree of said ** (N-1) watch subfield size is divided into n ** (N-2) watch division subfields. The ** (N-3) watch subfield where weighting becomes the degree of said ** (N-2) watch subfield size is divided into n ** (N-3) watch division subfields. Two of the 1st division subfield pairs which said No. [N] division subfield and said ** (N-1) watch division subfield adjoin mutually, and it comes to arrange said ** (N-2) watch division subfield and said ** (N-3) watch division subfield adjoin mutually [the 2nd division subfield pair which adjoins mutually and it comes to arrange / one], arrange, and constitute each field.

[0015]

[Embodiment of the Invention] Hereafter, the example of this invention is explained, referring to the drawing below drawing 3. In drawing 3, the video signal processing circuit 1 carries out the separation extract of R video signal corresponding to a red image component, G video signal corresponding to a green image component, and the B video signal corresponding to a blue image component from the supplied composite video signal, respectively, and supplies these to A/D converter 3. A synchronizing separator circuit 5 extracts a horizontal and a Vertical Synchronizing signal out of this composite video signal, and supplies these to the timing pulse generating circuit 6. The timing pulse generating circuit 6 generates the various timing pulses based on these horizontals and a Vertical Synchronizing signal. A/D converter 3 changes the above-mentioned R video signal, G video signal, and B video signals of each into the 8-bit pixel data which consist of unit pixel data which corresponded for every pixel synchronizing with the timing pulse supplied from the timing pulse generating circuit 6, and supplies this to a frame memory 8 one by one.

[0016] A store and the read-out pulse generating circuit 20 supply the starting read-out pulse to the memory control circuit 9, an output unit 10, and store / elimination control circuit 21 each while it generates a write-in pulse and the read-out pulses of each according to the timing pulse supplied from the timing pulse generating circuit 6 and supplies these to the memory control circuit 9. The memory control circuit 9 generates the memory write signals and the memory read-out signal which synchronized with this write-in pulse and the read-out pulses of each, and supplies them to a frame memory 8. A frame memory 8 incorporates the 8-bit pixel data supplied from above-mentioned A/D converter 3 one by one according to these memory write signals. Moreover, a frame memory 8 is beginning to read the pixel data memorized in this frame memory 8 one by one according to this memory read-out signal, and supplies them to the output unit 10 of the next step.

[0017] To the timing which synchronized with the read-out pulse supplied from above-mentioned store and read-out pulse generating circuit 20, store / elimination control circuit 21 generates the reset pulse and scan pulse which are mentioned later, a maintenance pulse, and the timing signal which should make the blanking pulses of each generate, and supplies these to the line electrode driving pulse generating circuit 11. The line electrode driving pulse generating circuit 11 answers each timing signal supplied from store / elimination control circuit 21. The scan pulse for writing in the reset pulse for making the amount of residual charge into an initial state, and pixel data, The blanking pulse for stopping the maintenance pulse for maintaining an electroluminescence condition and electroluminescence is generated, respectively, and they are the line electrodes Y1, Y2, and Y3 of PDP (plasma display panel) 12. -- Yn-1, Yn, and X1, X2, X3 -- Xn-1 and Xn are supplied.

[0018] Output units 10 are the pixel data bits D8 and D7 by which weighting was carried out from the pixel data supplied from a frame memory 8 corresponding to the magnitude of the brightness component. -- The separation extract of D1 each is carried out, and these are supplied to the pixel data pulse generating circuit 13. Under the present circumstances, the pixel data bit D8 corresponds to the highest brightness component, and a high brightness component becomes low, so that this bit digit falls. The brightness component ratio corresponding to this pixel data bit D1 - pixel data bit D8 each is [Equation 1]. {D1:D2:D3:D4:D5:D6:D7:D8} = It is {1:2:4:8:16:32:64:128}.

[0019] the logic "1" of the pixel data bit to which the pixel data pulse generating circuit 13 is supplied from an output unit 10, or "0" - the pixel data pulse which is alike, respectively and has the corresponding electrical-potential-difference value is generated, and this is impressed to the train electrodes D1 and D2, D3 -- Dm-1, and Dm. 1 pixel is formed in a part for the intersection of this train electrode and each line electrode. Here, while this pixel data pulse is impressed to the train electrode, if a scan pulse is impressed to a line electrode from the line electrode driving pulse generating circuit 11, luminescence will arise and the charge corresponding to this impressed pixel data pulse will be written in PDP12. Then, if a maintenance pulse is impressed from the line electrode driving

pulse generating circuit 11, the luminescence condition of the above [the time amount according to the pulse number to which this maintenance pulse is impressed] will be maintained. The brightness according to the time amount by which this luminescence condition is maintained on vision, i.e., maintenance luminescence time amount, is sensed.

[0020] In order to obtain the brightness like the above which corresponded for every data bit, in case the line electrode driving pulse generating circuit 11 performs luminescence based on the pixel data bit D1, it impresses only one maintenance pulse to a line electrode (subfield SF 1). Moreover, in case luminescence based on the pixel data bit D2 is performed, two maintenance pulses are continuously impressed to a line electrode (subfield SF 2). Moreover, in case the line electrode driving pulse generating circuit 11 performs luminescence based on the pixel data bit D3, it impresses four maintenance pulses to a line electrode continuously (subfield SF 3). Moreover, in case luminescence based on the pixel data bit D4 is performed, eight maintenance pulses are continuously impressed to a line electrode (subfield SF 4).

[0021] Moreover, in case luminescence based on the pixel data bit D5 is performed, only 16 maintenance pulses are impressed to a line electrode within 1 field period (subfield SF 5). Moreover, in case the line electrode driving pulse generating circuit 11 performs luminescence based on the pixel data bit D6, it impresses only 32 ***** pulses to a line electrode within 1 field period (subfield SF 6). Moreover, in case luminescence based on the pixel data bit D7 is performed, only 64 maintenance pulses are impressed to a line electrode within 1 field period (subfield SF 7). Moreover, in case luminescence based on the pixel data bit D8 is performed, only 128 maintenance pulses are impressed to a line electrode within 1 field period (subfield SF 8). Under the present circumstances, the number of these maintenance pulses corresponds to the luminescence time amount of each subfield.

[0022] Here, in this invention, the above-mentioned subfield SF 8 is quadrisectioned and arranged in 1 field in the division subfields DSF81-DSF84. Therefore, the count of maintenance luminescence which division subfield DSF81 - DSF84 each takes charge of is set to 32. Moreover, the above-mentioned subfield SF 7 is quadrisectioned and arranged in 1 field in the division subfields DSF71-DSF74. Therefore, the count of maintenance luminescence which division subfield DSF71 - DSF74 each takes charge of is set to 16.

Furthermore, in 1 field, the above-mentioned subfield SF 6 is divided two, and is arranged in the division subfields DSF61 and DSF62. Therefore, the count of maintenance luminescence which the division subfield DSF61 and DSF62 each take charge of is set to 16. Furthermore, in 1 field, the above-mentioned subfield SF 5 is divided two, and is arranged in the division subfields DSF51 and DSF52. Therefore, the count of maintenance luminescence which the division subfield DSF51 and DSF52 each take charge of is set to 8.

[0023] Drawing 4 is drawing showing the drive format during 1 field period when it comes to arrange these division subfields DSF5-DSF8 and subfields SF1-SF4. In addition, W shown for every subfield in drawing 4 shows the luminescence time amount corresponding to the number of the maintenance pulses impressed in each subfield.

[0024] As it is shown in this drawing 4, among subfields SF1-SF8, about the subfields SF5-SF8 which become size, weighting of a pixel data bit divides further and is arranged within 1 field period. That is, as mentioned above, it is necessary to carry out luminescence by the subfield SF 8 [the time amount which becomes $W=128$] during 1 field period but, and in this invention, this is quadrisectioned in the division subfields DSF81-DSF84 where each emits light [the time amount of $W=32$], as it is shown in drawing 4. Although similarly it is necessary to carry out also with luminescence by the subfield SF 7 [the time amount which becomes $W=64$] during 1 field period, this is quadrisectioned in the division subfields DSF71-DSF74 where each emits light [the time amount of $W=16$], as it is shown in drawing 4. Furthermore, although it is necessary to carry out also with luminescence by the subfield SF 6 [the time amount which becomes $W=32$] during 1 field period, this is divided into two in the division subfields DSF61 and DSF62 that each emits light [the time amount of $W=16$], as shown in drawing 4. Furthermore, although it is necessary to also carry out luminescence by the subfield SF 5 [the time amount which becomes $W=16$] during 1 field period, this is divided into two in the division subfields DSF51 and DSF52 that each emits light [the time amount of $W=8$], as shown in drawing 4.

[0025] Furthermore, the contiguity array of the division subfield DSF7 and the division subfield DSF8 is carried out mutually, and a division subfield pair is made to form in 1 field in this invention, as shown in this drawing 4. The division subfield DSF5 and the division subfield DSF6 also carry out a contiguity array mutually, and a division subfield pair is made similarly to form.

[0026] this array -- weighting -- size -- while the subfield which manages luminescence, i.e., the subfield which manages luminescence corresponding to a high brightness component, is divided, within the block with which this divided subfield is arranged, one [which adjoins each division subfield / at least] division subfield surely becomes a thing corresponding to the bit from which single figure weighting differs.

[0027] Therefore, according to this array, the fall of the luminescence time amount between adjoining subfields decreases, and the false contour of being generated by this fall can fully be controlled now. Here, since, as for luminescence by the subfields SF1-SF4 corresponding to the low bit of weighting, false contour is not conspicuous on vision, division is not performed. These subfields SF1-SF4 are performed in the central section on the time-axis in 1 field period as shown in drawing 4. Before and behind these subfields SF1-SF4, the **** division subfields of each mentioned above are arranged.

[0028] Although shown in this drawing 4, when the luminescence drive of PDP12 was carried out by the **** approach, generating of false contour was controlled and the display quality improved. In addition, also in the drive pattern shown in drawing 5 - drawing 9, generating of false contour can be controlled, for example except the example shown in this drawing 4 as well as the above-mentioned example. Furthermore, the number of bits of a pixel data bit is not limited to 8 bits like ****, either. Moreover, the **** number of partitions mentioned above is not limited to 4 times and 2 times, either.

[0029] In short, first The single figure ** (N-1) watch subfields of each where weighting is low rather than the No. N subfield where weighting of the bit digit of a pixel data bit becomes size most, and this No. N subfield The No. [N] division subfield of 2n (n is the two or more natural numbers) Individual and while dividing into a 2n piece ** (N-1) watch division subfield, respectively, a ** (N-2) watch subfield and the ** (N-3) watch subfields of each are divided into n ** (N-2) watch division subfields and n ** (N-3) watch division subfields, respectively. Adjoin mutually, arrange the above-mentioned No. [N] division subfield and a ** (N-1) watch division subfield, and the 1st division subfield pair is made to form in 1 field here. The 1st [this] 2 set of a division subfield pair, What is necessary is to adjoin mutually [the 2nd division subfield pair which adjoins mutually and it comes to arrange / one], and just to make it arrange a ***** (N-2) watch division subfield and a ** (N-3) watch division subfield.

[0030] Furthermore, what is necessary is just to arrange the subfields of each which omit this division at the central section on the time-axis of the 1 field. In addition, you may make it arrange a subfield SF 1 and a subfield SF 4 to the head and the rear of 1 field period among the subfields SF1-SF4 which do not divide, as it is shown in drawing 10, respectively.

[0031] although the line electrode driving pulse generating circuit 11 and the pixel data pulse generating circuit 13 are shown in drawing 4 mentioned above - drawing 10 -- a **** gestalt -- the luminescence drive of PDP12 -- it should perform -- the inside of

each subfield and a division subfield -- setting -- a reset pulse, a scan pulse, a maintenance pulse, a blanking pulse, and pixel data -- a pulse -- the driving pulses of each are impressed.

[0032] Drawing 11 and drawing 12 are drawings showing the impression timing of each driving pulse in 1 subfield by this invention. In addition, drawing 11 shows timing in case the 1 field which should carry out a luminescence drive is the odd number field, and, on the other hand, drawing 12 is drawing showing timing in case the 1 field which should carry out a luminescence drive is the even number field.

[0033] The line electrode driving pulse generating circuit 11 impresses reset pulses Rx and Ry to the line electrodes X and Y of PDP12 at coincidence, respectively, and makes the residual charge of PDP12 initialize first in these drawing 11 and drawing 12. Next, the pixel data pulse generating circuit 13 carries out sequential impression, and goes the data pulse DP which corresponded for every line to the line electrode D. The line electrode driving pulse generating circuit 11 carries out sequential impression of the scan pulse SP to the line electrodes Y1-Yn at two-line coincidence, and goes by the impression timing and this timing of this data pulse DP. Under the present circumstances, when the 1 field which should carry out a luminescence drive is the even number field, it is shown in drawing 12 -- as -- the line electrode Y1 -- only receiving -- the scan pulse SP is impressed independently and two-line coincidence impression of the scan pulse SP is performed to the line electrodes Y2-Yn after this line electrode Y1. In the line to which the scan pulse SP was impressed, it succeeds in the writing of pixel data. Under the present circumstances, time amount after the scan pulse SP is impressed to the line electrode Y1 until the scan pulse SP is impressed to the line electrode Yn turns into write-in time amount of the pixel data spent in 1 subfield.

[0034] If the scan pulse SP is impressed to Y_n , as for the line electrode driving pulse generating circuit 11, the maintenance pulses IX and IY will be impressed to the line electrodes X and Y by turns. Whenever this maintenance pulse is impressed, luminescence arises. After maintenance luminescence ends only the part of W shown by above-mentioned drawing 4 - drawing 10, the line electrode driving pulse generating circuit 11 impresses blanking pulse DP to the line electrode X of PDP12, and makes the luminescence stop by impression of this maintenance pulse.

[0035] Like the above, the write-in time amount of the pixel data spent in 1 subfield is shortened to one half by writing pixel data in two-line coincidence in the impression approach of this driving pulse. Therefore, as it is shown in above-mentioned drawing 4 - drawing 10, even if the number of subfields (a division subfield is included) in 1 field doubles compared with the place which only divided the 1 field into eight subfields, and performed the luminescence drive, time amount spent on the writing of the pixel data can be made the same.

[0036] While dividing the large subfield of weighting and dissociating like the above, by using together the technique of two-line coincidence writing shown in drawing 11 and drawing 12, the write time of sufficient pixel data can be secured and an improvement of the image quality of a dynamic image can be realized.

[0037]

[Effect of the invention] In the drive approach of the spontaneous light display panel according to this invention so that clearly from having described above Weighting of the bit digit of a pixel data bit size most the becoming No. N subfield and the $2^{(N-1)}$ watch subfields of each While dividing into the No. [N] division subfield of 2^n (n is the two or more natural numbers) individual, and a 2^n piece $2^{(N-1)}$ watch division subfield, respectively Divide a $2^{(N-2)}$ watch subfield and the $2^{(N-3)}$ watch subfields of each into n $2^{(N-2)}$ watch division subfields and n $2^{(N-3)}$ watch division subfields, respectively, and it sets in 1 field. Carry out the contiguity array of this No. [N] division subfield and the $2^{(N-1)}$ watch division subfield mutually, and a division subfield pair is made to form. 2 sets of these division subfield pair, it adjoins mutually [the division subfield pair which adjoins mutually and it comes to arrange / one], and a $2^{(N-2)}$ watch division subfield and a $2^{(N-3)}$ watch division subfield are arranged.

[0038] Therefore, within the block with which this divided subfield is arranged, since one [which adjoins each division subfield / at least] division subfield surely becomes a thing corresponding to the bit from which single figure weighting differs, the fall of the luminescence time amount of adjoining between [division subfields] decreases, and the false contour of being generated by this fall can fully be controlled.

[Translation done.]

(10) 日本国特許庁 (J P)

(20) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-218662

(43) 公開日 平成9年(1997)8月19日

(51) Int. Cl.
G 0 9 G 3/28特許庁番号 庁内整理番号
4237-5HFI
G 0 9 G 3/28 K

特許表示箇所

審査請求 未請求 請求項の数 9 OL (全 11 頁)

(21) 出願番号 特願平8-27087

(22) 出願日 平成8年(1996)2月14日

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 坂田 哲也

山梨県甲府市大尾町463番地バイオニア株
式会社ディスプレイ研究所内

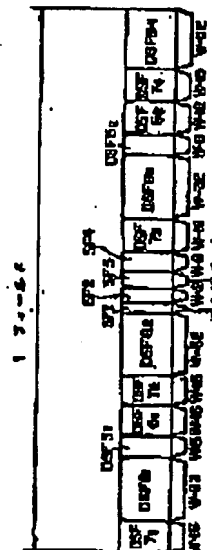
(74) 代理人 弁護士 黒村 元彦

(54) 【発明の名称】 自発光画像表示パネルの駆動方法

(57) 【要約】

【課題】 色偏りの発生を抑制することの出来る発光表示パネルの駆動方法を提供することを目的とする。

【解決手段】 画像データのビット毎の重みづけが最も大なる第N番サブフィールドを2n個の第N番分割サブフィールドに分割し、第(N-1)番サブフィールドを2n個の第(N-1)番分割サブフィールドに分割し、第(N-2)番サブフィールドをn個の第(N-2)番分割サブフィールドに分割し、第(N-3)番サブフィールドをn個の第(N-3)番分割サブフィールドに分割し、上記第N番分割サブフィールド及び第(N-1)番分割サブフィールドが互いに隣接して配列されてなる分割サブフィールド対の2つと、第(N-2)番分割サブフィールド及び第(N-3)番分割サブフィールドが互いに隣接して配列されてなる分割サブフィールド対の1つとが互いに隣接してモフィールドを構成する。



【特許請求の範囲】

【請求項 1】 各々がビデオ信号の各フィールドの画像毎の輝度に応じた N (N は自然数) ビットの画像データの各ビット桁の重みづけに対応した時間だけ発光を行う複数のサブフィールドにて 1 フィールド分の発光表示を行う自発光画像表示パネルの駆動方法であって、前記サブフィールドの内、前記ビット桁の重みづけが最も大なる第 N 番サブフィールドを $2n$ (n は 2 以上の自然数) 個の第 N 番分割サブフィールドに分割し、前記第 N 番サブフィールドの次に重みづけが大なる第 $(N-1)$ 番サブフィールドを $2n$ 個の第 $(N-1)$ 番分割サブフィールドに分割し、前記第 $(N-1)$ 番サブフィールドの次に重みづけが大なる第 $(N-2)$ 番サブフィールドを n 個の第 $(N-2)$ 番分割サブフィールドに分割し、前記第 $(N-2)$ 番サブフィールドの次に重みづけが大なる第 $(N-3)$ 番サブフィールドを n 個の第 $(N-3)$ 番分割サブフィールドに分割し、前記第 N 番分割サブフィールド及び前記第 $(N-1)$ 番分割サブフィールドが互いに隣接して配列されてなる第 1 分割サブフィールド対の 2 つと、前記第 $(N-2)$ 番分割サブフィールド及び前記第 $(N-3)$ 番分割サブフィールドが互いに隣接して配列されてなる第 2 分割サブフィールド対の 2 つとを互いに隣接して配列して各フィールドを構成することを特徴とする自発光画像表示パネルの駆動方法。

【請求項 2】 1 フィールド内において、前記第 1 分割サブフィールド対の 2 つの間に前記第 2 分割サブフィールド対を配列したことを特徴とする請求項 1 記載の自発光画像表示パネルの駆動方法。

【請求項 3】 1 フィールド内において、前記第 1 分割サブフィールド対の 2 つを隣接して配列しその直後に前記第 2 分割サブフィールド対を配列したことを特徴とする請求項 1 記載の自発光画像表示パネルの駆動方法。

【請求項 4】 前記ビット桁の重みづけが小なるサブフィールドを前記 1 フィールドの時間軸上の中央区間に配置することを特徴とする請求項 1 記載の自発光画像表示パネルの駆動方法。

【請求項 5】 前記 $N=8$ 及び前記 $n=2$ であることを特徴とする請求項 1 記載の自発光画像表示パネルの駆動方法。

【請求項 6】 前記第 N 番サブフィールドを $2n$ 個の第 N 番分割サブフィールドに等分割し、前記第 $(N-1)$ 番サブフィールドを $2n$ 個の第 $(N-1)$ 番分割サブフィールドに等分割し、前記第 $(N-2)$ 番サブフィールドを n 個の第 $(N-2)$ 番分割サブフィールドに等分割し、前記第 $(N-3)$ 番サブフィールドを n 個の第 $(N-3)$ 番分割サブフィールドに等分割することを特徴とする請求項 1 記載の自発光画像表示パネルの駆動方法。

【請求項 7】 各々がビデオ信号の各フィールドの画像毎の輝度に応じた N (N は自然数) ビットの画像データ

の各ビット桁の重みづけに対応した時間だけ発光を行う複数のサブフィールドにて 1 フィールド分の発光表示を行う自発光画像表示パネルの駆動方法であって、前記ビット桁の重みづけが大なるサブフィールドほど多い分割数にて前記サブフィールドを分割し、この分割した複数のサブフィールドの内、互いに重みづけが異なる m 個のサブフィールドを含む複数のサブフィールドを 1 つのブロックとし、

前記ブロック内においては、各サブフィールドに隣接する少なくとも一方のサブフィールドが 1 桁異なるビットに対応したものとるように配列されていることを特徴とする自発光画像表示パネルの駆動方法。

【請求項 8】 前記ビット桁の重みづけが小なるサブフィールドを前記 1 フィールドの時間軸上の中央区間に配置することを特徴とする請求項 7 記載の自発光画像表示パネルの駆動方法。

【請求項 9】 複数の行電極と前記行電極の各々に直交する方向に配列された複数の列電極を備え、各々がビデオ信号の各フィールドの画像毎の輝度に応じた画像データの各ビット桁の重みづけに対応した時間だけ発光を行う複数のサブフィールドにて 1 フィールド分の発光表示を行う自発光画像表示パネルの駆動方法であって、

前記サブフィールドの内、前記ビット桁の重みづけが大なるサブフィールドを含む少なくとも 1 のサブフィールドは複数の分割サブフィールドに分割されて、その分割サブフィールドの各々が前記 1 フィールドの期間内において所定間隔を隔てて配置されており、

奇数フィールド駆動時には、連続した 2 行の行電極を 1 走査単位として順番次にて前記画像データの 2 行同時書き込みを行う一方、偶数フィールド駆動時には 1 行電極だけずれた連続した 2 行の行電極を 1 走査単位として順番次にて前記画像データの 2 行同時書き込みを行うことを特徴とする自発光画像表示パネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネル、EL パネル等の自発光画像表示パネルの駆動方法に関する。

【0002】

【従来の技術】自発光画像表示パネルとして、例えば、プラズマディスプレイは放電現象を利用しているために、発光量の制御を連続的に行う事が出来ない。そのため発光をパルスで行い、そのパルス数、すなわち発光の頻度で明るさを表現する。従来的には単位時間当りの発光回致すなわち発光頻度が高いほど明るく見えるので、これによって階調が表現できるのである。

【0003】プラズマディスプレイでは自然画像を表現するのにサブフィールド法と言う方法を用いる。これはディジタル化した映像信号データを各画素単位で点順次に表示するのではなく、画素毎の各ビットの重みがビッ

トプレーン単位で画面次に繰り返して表示することで階調を表現する点である。各画面毎に映像信号データを8ビットでデジタル化して、輝度成分に対応して振りつけられた画素データビットD8, D7, ……D1を生成する。この際、高輝度成分のビットから順にD8, D7, ……D1となる。

【0004】ここで、図1(A)に示す如く、1フィールドを8つのサブフィールドSF8-SF1に分割して、各サブフィールドに夫々画素データビットD8, D7, ……D1を割り当て、各サブフィールド毎に、割り当てられた画素データビットに応じた発光を実行する。この場合は一枚の画面を完結するのにD8用の画面、D7用の画面……最後にD1用の画面と合計8回の画面次発光が必要となる。

【0005】例えば、サブフィールドSF8に対応する画素データビットD8の値が論理“1”すなわち発光論理値であったとするとその画素は、かかるサブフィールドSF8において128回発光する。又、かかる画素データビットD8の値が“0”すなわち消光論理値のときはサブフィールドSF8による発光は実行されない。同様に、サブフィールドSF7に対応する画素データビットD7の値が論理“1”すなわち発光論理値であったとするとその画素は、かかるサブフィールドSF7において64回発光するが、“0”の画素は発光しない。

【0006】この様に発光回数は、図1(B)に示した如く、順に128, 64, 32, 16, 8, 4, 2, 1となる。全部で8回の画面次発光を行うと、各画素は8回のサブフィールドでパルス点灯した数の合計に相当した明るさで視覚的に認識される。即ちゼロから255までの任意の階調が表現できるのである。図1(C)は、8ビットの単位画素データ(1, 1, 1, 1, 1, 1, 1, 1), (1, 0, 0, 0, 0, 0, 0, 0)及び(0, 0, 0, 0, 0, 0, 0, 1)の各々に対応した各サブフィールド期間内の発光期間を示している。

【0007】ところで、上記サブフィールド法は、1と0の二つの階調しか表現できない単階調ディスプレイでも階調表現が出来る技術として優れた方法であるが、「偽輪郭」という画質上の問題を解決する必要に迫られている。偽輪郭発生現象は視覚の特性から来るもので、平坦な映像でその信号レベルが上記の128, 64, 32, 16など、2の n 乗境界を境切る付近に沿って、あたかも階調が失われた映像のような縞状の偽輪郭が視認される現象である。特に平坦な物体が動いたときに顕著に認められる。しかし、画像が完全に静止している場合、すなわち映像のメモリーに蓄積した静止画像を表示した場合には偽輪郭は感知されない。映像の動きのある部分で且つ上記レベルの周辺でのみ感知されるのが偽輪郭の特性である。又、静止していても画像信号に含まれるノイズによって信号レベルに揺らぎがある場合は動きのある場合と同じように上記レベル周辺で偽輪郭が感知

されるのである。

【0008】サブフィールド法による階調表現方式で偽輪郭が何故発生するかについて図2を用いて説明する。図2の n フィールドにおいては、第 $j+1$ 列から右方の部分の画素が“10000000”以上の明るさであり、しかも第 j 列から左方の部分の画素が“01111111”以下の明るさである、そしてこの映像は1フィールド当たり3列(3画素)の速度で画面左方に移動している。これに伴って、その連続部分(“01111111”以下の明るさの画素と“10000000”以上の明るさの画素の境界部分)も $n+1$ フィールドでは第 $j-3$ 列目、 $n+2$ フィールドでは第 $j-6$ 列目、 $n+3$ フィールドでは第 $j-9$ 列目と移動する。

【0009】ここで、 n フィールドでは第 $j+1$ 列から右方の列において垂直走査期間の後半時期に発光期間(D8)が設けられる一方、第 j 列から左方の列において垂直走査期間の前半時期に発光期間(D7, D6, D5)が設けられる。続いて、 $n+1$ フィールドでは、第 $j-2$ 列から右方の列において垂直走査期間の後半時期に発光期間(D8)が設けられる一方、第 $j-3$ 列から左方の列において垂直走査期間の前半時期に発光期間(D7, D6, D5)が設けられる。続いて、 $n+2$ フィールドでは、第 $j-5$ 列から右方の列において垂直走査期間の後半時期に発光期間(D8)が設けられる一方、第 $j-6$ 列から左方の列において垂直走査期間の前半時期に発光期間(D7, D6, D5)が設けられる。続いて、 $n+3$ フィールドでは、第 $j-8$ 列から右方の列において垂直走査期間の後半時期に発光期間(D8)が設けられる一方、第 $j-9$ 列から左方の列において垂直走査期間の前半時期に発光期間(D7, D6, D5)が設けられる。

【0010】そこで、 n フィールドと $n+1$ フィールドとの間では第 j 列から第 $j-2$ 列に亘って、 $n+1$ フィールドと $n+2$ フィールドとの間では第 $j-3$ 列から第 $j-5$ 列に亘って、又、 $n+2$ フィールドと $n+3$ フィールドとの間では第 $j-6$ 列から第 $j-8$ 列に亘って帯状に移動する非発光期間が生じる。従って、かかる画面上において、視線を図2中の矢印8の如く移動させていくと、 n フィールドでの第 j 列、 $n+1$ フィールドでの第 $j-3$ 列、 $n+2$ フィールドでの第 $j-6$ 列、 $n+3$ フィールドでの第 $j-9$ 列の各部分において生じている“隙間”(破線領域Pにて示す)を順次、追って見ることになる。よって、かかる部分に集中して黒い線としての偽輪郭が強く視認されてしまうのである。これが動きによる偽輪郭である。動きの方向が逆になると白い線として視認される。また、サブフィールドの並び順を時間的に逆にしても白い線として視認される。

【0011】ここで、かかる偽輪郭発生現象を回避することを目的とした技術が既に特開平第4-211284号公報によって知られている。かかる技術においては、サブフ

フィールドの並び順を入れ替えることにより偽輪郭の発生を防止しようとするものである。例えば、最上位ビットに対応するサブフィールドの前後に、それより下位のビットに対応するサブフィールドを交互に配置することにより、特に最上位ビットのレベルでの輝度変化を少なくさせて、偽輪郭の発生を抑えているのである。

【0012】しかしながら、本発明者による実験によれば、最上位ビットのレベルのみならず、それより下位のビットに対応するサブフィールドの輝度変化が生じた場合にも偽輪郭が認識されることが判明した。よって、上記従来例によっても偽輪郭の防止は十分ではないことが確認された。

【0013】

【発明が解決しようとする課題】従って、本発明の目的は、偽輪郭の発生を十分に抑制することの出来る発光表示パネルの駆動方法を提供することである。

【0014】

【課題を解決するための手段】上記した目的を達成するために、本発明による発光表示パネルの駆動方法においては、各々がビデオ信号の各フィールドの画素毎の輝度に応じた N (N は自然数)ビットの画素データの各ビット毎の重みづけに対応した時間だけ発光を行う複数のサブフィールドにて1フィールド分の発光表示を行う発光画像表示パネルの駆動方法であって、前記サブフィールドの内、前記ビット毎の重みづけが最も大なる第 N 番サブフィールドを $2n$ (n は2以上の自然数)個の第 N 番分割サブフィールドに分割し、前記第 N 番サブフィールドの次に重みづけが大なる第 $(N-1)$ 番サブフィールドを $2n$ 個の第 $(N-1)$ 番分割サブフィールドに分割し、前記第 $(N-1)$ 番サブフィールドの次に重みづけが大なる第 $(N-2)$ 番サブフィールドを n 個の第 $(N-2)$ 番分割サブフィールドに分割し、前記第 $(N-2)$ 番サブフィールドの次に重みづけが大なる第 $(N-3)$ 番サブフィールドを n 個の第 $(N-3)$ 番分割サブフィールドに分割し、前記第 N 番分割サブフィールド及び前記第 $(N-1)$ 番分割サブフィールドが互いに隣接して配列されてなる第1分割サブフィールド対の2つと、前記第 $(N-2)$ 番分割サブフィールド及び前記第 $(N-3)$ 番分割サブフィールドが互いに隣接して配列されてなる第2分割サブフィールド対の1つとを互いに隣接して配列してもフィールドを構成する。

【0015】

【発明の実施の形態】以下、本発明の実施例を図3以下の図面を参照しつつ説明する。図3において、ビデオ信号処理回路1は、供給された複色ビデオ信号から赤色映像成分に対応したRビデオ信号、緑色映像成分に対応したGビデオ信号、及び青色映像成分に対応したBビデオ信号を夫々分離抽出して、これらをA/D変換器3に供給する。同期分離回路5は、かかる複色ビデオ信号中から水平及び垂直同期信号を抽出してこれをタイミング

パルス発生回路6に供給する。タイミングパルス発生回路6は、これら水平及び垂直同期信号に基づいた種々のタイミングパルスを発生する。A/D変換器3は、タイミングパルス発生回路6から供給されたタイミングパルスに同期して、上記Rビデオ信号、Gビデオ信号及びBビデオ信号各々を1画素毎に対応した単位画素データからなる8ビットの画素データに変換してこれを順次フレームメモリ8に供給する。

【0016】書込・読出パルス発生回路20は、タイミングパルス発生回路6から供給されたタイミングパルスに応じて書込パルス及び読出パルス各々を発生してこれらをメモリ制御回路9に供給すると共に、かかる読出パルスをメモリ制御回路9、出力装置10、及び書込・消去制御回路21各々に供給する。メモリ制御回路9は、かかる書込パルス及び読出パルス各々に同期したメモリ書込信号及びメモリ読出信号を生成してフレームメモリ8に供給する。フレームメモリ8は、かかるメモリ書込信号に応じて、上記A/D変換器3から供給されてくる8ビット画素データを順次取り込む。又、フレームメモリ8は、かかるメモリ読出信号に応じて、このフレームメモリ8内に記憶されている画素データを順次読み出して次の出力装置10へ供給する。

【0017】書込・消去制御回路21は、上記書込・読出パルス発生回路20から供給された読出パルスに同期したタイミングにて、後述するリセットパルス、放電パルス、維持パルス、及び消去パルス各々を発生せしめるべきタイミング信号を発生してこれらを行電極駆動パルス発生回路11に供給する。行電極駆動パルス発生回路11は、書込・消去制御回路21から供給された各タイミング信号に応じて、駆動電圧を初期状態にするためのリセットパルス、画素データを書き込むための定電圧パルス、放電発光状態を維持するための維持パルス、放電発光を停止させるための消去パルスを夫々発生してPDP(プラズマディスプレイパネル)12の行電極 $Y_1, Y_2, Y_3, \dots, Y_{n-1}, Y_n$ 及び $X_1, X_2, X_3, \dots, X_{n-1}, X_n$ に供給する。

【0018】出力装置10は、フレームメモリ8から供給されてくる画素データから、その輝度成分の大きさに応じて重みづけされた画素データビットD0、D7、...、D1各々を分離抽出し、これらを画素データパルス発生回路13に供給する。この際、画素データビットD0は最高輝度成分に対応したものであり、このビット桁が下がるほど輝度成分が低くなる。かかる画素データビットD1〜画素データビットD8各々に対応している輝度成分比は、

【数1】 $\{D1:D2:D3:D4:D5:D6:D7:D8\} = \{1:2:4:8:16:32:64:128\}$

である。

【0019】画素データパルス発生回路13は、出力装置10から供給されてくる画素データビットの論理

「1」又は「0」夫々に対応した電圧値を有する画素データパルスを発生してこれを列電極D1、D2、D3...Dn-1、Dnへ印加する。かかる列電極及び行電極を々の交差部分にて1画素を形成している。ここで、かかる画素データパルスが列電極に印加されている間に、行電極駆動パルス発生回路11から定数パルスが行電極に印加されると発光が生じこの印加された画素データパルスに対応した電荷がPDP12に蓄えられる。その後、行電極駆動パルス発生回路11から維持パルスが印加されると、この維持パルスが印加されるパルス数に応じた時間だけ上記の発光状態が維持される。従来上においては、この発光状態が維持されている時間、すなわち維持発光時間に応じた輝度が得られるのである。

【0020】上記の如き各データビット毎に対応した輝度を得るために、行電極駆動パルス発生回路11は、画素データビットD1に基づいた発光を実行する際には、維持パルスを1つだけ行電極に印加する（サブフィールドSF1）。又、画素データビットD2に基づいた発光を実行する際には、維持パルスを2つ連続して行電極に印加する（サブフィールドSF2）。又、行電極駆動パルス発生回路11は、画素データビットD3に基づいた発光を実行する際には、維持パルスを4つ連続して行電極に印加する（サブフィールドSF3）。又、画素データビットD4に基づいた発光を実行する際には、維持パルスを8つ連続して行電極に印加する（サブフィールドSF4）。

【0021】又、画素データビットD5に基づいた発光を実行する際には、1フィールド期間内において維持パルスを16個だけ行電極に印加する（サブフィールドSF5）。又、行電極駆動パルス発生回路11は、画素データビットD6に基づいた発光を実行する際には、1フィールド期間内において維持パルスを32個だけ行電極に印加する（サブフィールドSF6）。又、画素データビットD7に基づいた発光を実行する際には、1フィールド期間内において維持パルスを64個だけ行電極に印加する（サブフィールドSF7）。又、画素データビットD8に基づいた発光を実行する際には、1フィールド期間内において維持パルスを128個だけ行電極に印加する（サブフィールドSF8）。この際、かかる維持パルスの数は、各サブフィールドの発光時間に対応したものである。

【0022】ここで、本発明においては、1フィールド内において、上記サブフィールドSF6を分割サブフィールドDSF61～DSF64に4分割して記憶する。よって、分割サブフィールドDSF61～DSF64各々が受け持つ維持発光回数は32となる。更に、1フィールド内において、上記サブフィールドSF7を分割サブフィールドDSF71～DSF74に4分割して記憶する。よって、分割サブフィールドDSF71～DSF74各々が受け持つ維持発光回数は16となる。更に、1フィールド

内において、上記サブフィールドSF8を分割サブフィールドDSF81及びDSF82に2分割して記憶する。よって、分割サブフィールドDSF81及びDSF82各々が受け持つ維持発光回数は8となる。更に、1フィールド内において、上記サブフィールドSF5を分割サブフィールドDSF51及びDSF52に2分割して記憶する。よって、分割サブフィールドDSF51及びDSF52各々が受け持つ維持発光回数は8となる。

【0023】図4は、これら分割サブフィールドDSF5～DSF8及びサブフィールドSF1～SF4が配列されてなる1フィールド期間中の駆動フォーマットを示す図である。尚、図4中において各サブフィールド毎に示されているWは、各サブフィールド内で印加される維持パルスの数に対応した発光時間を示すものである。

【0024】かかる図4に示されるが如く、サブフィールドSF1～SF8の内、画素データビットの重みづけが大なるサブフィールドSF5～SF8に関しては、1フィールド期間内において更に分割して記憶されている。つまり、上述したように、サブフィールドSF8による発光は1フィールド期間中にW=128なる時間に亘り実施する必要があるが、本発明においては、これを図4に示されるが如く、各々がW=32の時間に亘って発光を行う分割サブフィールドDSF81～DSF84にて4分割しているのである。同様に、サブフィールドSF7による発光についても、1フィールド期間中にW=64なる時間に亘り実施する必要があるが、これを図4に示されるが如く、各々がW=16の時間に亘って発光を行う分割サブフィールドDSF71～DSF74にて4分割しているのである。更に、サブフィールドSF6による発光についても、1フィールド期間中にW=32なる時間に亘り実施する必要があるが、これを図4に示されるように、各々がW=16の時間に亘って発光を行うという分割サブフィールドDSF61及びDSF62にて2分割している。更に、サブフィールドSF5による発光も、1フィールド期間中にW=16なる時間に亘って実施する必要があるが、これを図4に示されるように、各々がW=8の時間に亘って発光を行うという分割サブフィールドDSF51及びDSF52にて2分割しているのである。

【0025】更に、本発明においては、かかる図4に示されるように、1フィールド内においては、分割サブフィールドDSF7及び分割サブフィールドDSF8を互いに隣接配列して分割サブフィールド対を形成させる。同様に、分割サブフィールドDSF5及び分割サブフィールドDSF6も互いに隣接配列して分割サブフィールド対を形成させる。

【0026】かかる配列により、重みづけの大なる発光を司るサブフィールド、すなわち高輝度成分に対応した発光を司るサブフィールドが分割されると共に、この分割されたサブフィールドが配列されているブロック内で

は、必ず、各分割サブフィールドに隣接する少なくとも一方の分割サブフィールドが1桁だけ重みづけの異なるビットに対応したものである。

【0027】よって、かかる配列によれば、隣接するサブフィールド間の発光時間の差が少なくなり、この差によって生じるという偽輪郭を十分に抑制することが出来るようになるのである。ここで、重みづけの低いビットに対応しているサブフィールドSF1～SF4による発光は視覚上、偽輪郭が目立たないので分割は行わない。これらサブフィールドSF1～SF4は、図4に示されているように、1フィールド期間中の時間軸上の中央区間に実行する。これらサブフィールドSF1～SF4の前後で、上述した如き分割サブフィールド各々を配列するのである。

【0028】かかる図4に示される如き方法にてPOP12を発光駆動したところ、偽輪郭の発生が抑制され、その表示品質が向上した。尚、かかる図4に示される実施例以外でも、例えば、図5～図9に示される駆動パターンにおいても上記実施例と同様に偽輪郭の発生を抑制することが出来る。更に、画素データビットのビット数も上述の如き8ビットに限定されるものではない。又、上述した如き分割数も、4回及び2回に限定されるものではない。

【0029】要するに、まず、画素データビットのビット桁の重みづけが最も大なる第N番サブフィールド及びかかる第N番サブフィールドよりも1桁だけ重みづけの低い第(N-1)番サブフィールドも々を2n (nは2以上の自然数) 個の第N番分割サブフィールド及び2n個の第(N-1)番分割サブフィールドに夫々分割すると共に、第(N-2)番サブフィールド及び第(N-3)番サブフィールドも々を、n個の第(N-2)番分割サブフィールド及びn個の第(N-3)番分割サブフィールドに夫々分割する。ここで、1フィールド内において、上記第N番分割サブフィールド及び第(N-1)番分割サブフィールドを互いに隣接して配列して第1の分割サブフィールド対を形成させ、この第1の分割サブフィールド対の2倍と、上記第(N-2)番分割サブフィールド及び第(N-3)番分割サブフィールドを互いに隣接して配列されてなる第2分割サブフィールド対の1つとを互いに隣接して配列するようにすれば良いのである。

【0030】更に、かかる分割を行っていないサブフィールドも々を、1フィールドの時間軸上の中央区間に配置すれば良いのである。尚、分割を行わないサブフィールドSF1～SF4の内、サブフィールドSF1及びサブフィールドSF4を、それぞれ図10に示されるが如く、1フィールド期間の先頭及び後尾に配置するようにしても良い。

【0031】行電極駆動パルス発生回路11及び画素データパルス発生回路13は、上述した図4～図10に示

されるが如き形にてPOP12の発光駆動を実行すべく、各サブフィールド及び分割サブフィールド内において、リセットパルス、定置パルス、維持パルス、消去パルス及び画素データパルスなる駆動パルス各々の印加を行う。

【0032】図11及び図12は、本発明による1サブフィールド内における各駆動パルスの印加タイミングを示す図である。尚、図11は、発光駆動すべき1フィールドが奇数フィールドの場合におけるタイミングを示すものであり、一方、図12は、発光駆動すべき1フィールドが偶数フィールドの場合におけるタイミングを示す図である。

【0033】これら図11及び図12において、まず、行電極駆動パルス発生回路11は、POP12の行電極X及びYにそれぞれリセットパルスRX及びRYを同時に印加して、POP12の駆動電荷を初期化せしめる。次に、画素データパルス発生回路13は、各行毎に対応したデータパルスDPを列電極Dに順次印加して行く。かかるデータパルスDPの印加タイミングと同タイミングにて、行電極駆動パルス発生回路11は、定置パルスSPを2行同時に行電極Y1～Ynへと順次印加して行く。この際、発光駆動すべき1フィールドが偶数フィールドの場合には、図12に示されるが如く、行電極Y1に対しては単独で定置パルスSPを印加し、この行電極Y1以降の行電極Y2～Ynに対して定置パルスSPの2行同時印加を行う。定置パルスSPが印加された行において、画素データの書き込みが為される。この際、行電極Y1に定置パルスSPが印加されてから行電極Ynに定置パルスSPが印加されるまでの時間が、1サブフィールド内にて与えられる画素データの書き込み時間となるのである。

【0034】定置パルスSPが行電極Ynまで印加されると、行電極駆動パルス発生回路11は、行電極X及びYに交互に維持パルスIX及びIYを印加する。かかる維持パルスが印加される際に発光が生じる。かかる維持パルスの印加により、上記図4～図10にて示されているWの分だけ維持発光が終了すると、行電極駆動パルス発生回路11は、POP12の行電極Xに消去パルスOPを印加して、その発光を停止せしめる。

【0035】以上の如く、かかる駆動パルスの印加方法においては、画素データの書き込みを2行同時に実施することにより、1サブフィールド内にて与えられる画素データの書き込み時間を1/2に短縮しているのである。よって、上記図4～図10に示されるが如く、1フィールド内のサブフィールド(分割サブフィールドを含む)数が、1フィールドを2に8サブフィールドに分割して発光駆動を行った場合に比べて2倍になっても、その画素データの書き込みと与えられる時間を同一とすることが出来るのである。

【0036】上記の如く、重み付けの大きいサブフィー

ルドを分割、分離する一方、図 11 及び図 12 に示す並行同時書き込みの手法を併用することにより、十分な画素データの書き込み時間を確保して動画の画質の改善を実現することができる。

【0037】

【発明の効果】上記したことから明らかな如く本発明による自発光表示パネルの駆動方法においては、画素データビットのビット幅の揃みつけが最も大なる第 N 番サブフィールド及び第 $(N-1)$ 番サブフィールド各々を、 $2n$ (n は 2 以上の自然数) 個の第 N 番分割サブフィールド、及び $2n$ 個の第 $(N-1)$ 番分割サブフィールドに夫々分割すると共に、第 $(N-2)$ 番サブフィールド及び第 $(N-3)$ 番サブフィールド各々を、 n 個の第 $(N-2)$ 番分割サブフィールド及び n 個の第 $(N-3)$ 番分割サブフィールドに夫々分割し、1 フィールド内において、かかる第 N 番分割サブフィールド及び第 $(N-1)$ 番分割サブフィールドを互いに隣接配列して分割サブフィールド対を形成させ、これら分割サブフィールド対の 2 組と、第 $(N-2)$ 番分割サブフィールド及び第 $(N-3)$ 番分割サブフィールドを互いに隣接して配列されてなる分割サブフィールド対の 1 つとを互いに隣接して配列する。

【0038】よって、この分割されたサブフィールドが配列されているブロック内では、必ず、各分割サブフィールドに隣接する少なくとも一方の分割サブフィールドが 1 桁だけ重みつけの異なるビットに対応したものであるため、隣接している分割サブフィールド間同士での発光時間の差が少なくなり、この差によって生じるといふ偽信号を十分に抑制することが出来るようになるのである。

【図面の簡単な説明】

【図 1】 各サブフィールドの発光期間及び単位画素データと発光期間との対応関係を示す説明図。

【図 2】 偽信号の発生する状態の例を示す図。

【図 3】 本発明による駆動方法を実行するプラズマディスプレイパネル及びその駆動装置を示すブロック図。

【図 4】 本発明の自発光表示パネルの駆動方法による 1 フィールド期間中の発光駆動フォーマットの一例を示す図である。

【図 5】 本発明の自発光表示パネルの駆動方法による 1 フィールド期間中の発光駆動フォーマットの一例を示す図である。

【図 6】 本発明の自発光表示パネルの駆動方法による 1 フィールド期間中の発光駆動フォーマットの一例を示す図である。

【図 7】 本発明の自発光表示パネルの駆動方法による 1 フィールド期間中の発光駆動フォーマットの一例を示す図である。

【図 8】 本発明の自発光表示パネルの駆動方法による 1 フィールド期間中の発光駆動フォーマットの一例を示す図である。

【図 9】 本発明の自発光表示パネルの駆動方法による 1 フィールド期間中の発光駆動フォーマットの一例を示す図である。

【図 10】 本発明の自発光表示パネルの駆動方法による 1 フィールド期間中の発光駆動フォーマットの一例を示す図である。

【図 11】 奇数フィールドにおける駆動パルス印加タイミングを示す図である。

【図 12】 偶数フィールドにおける駆動パルス印加タイミングを示す図である。

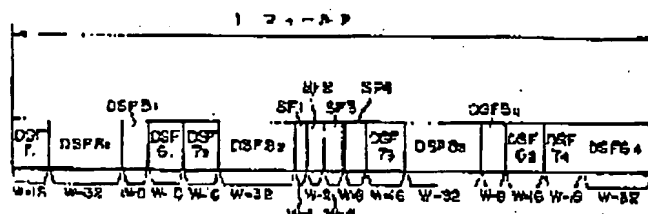
【主要部分の符号の説明】

11 行電極駆動パルス発生回路

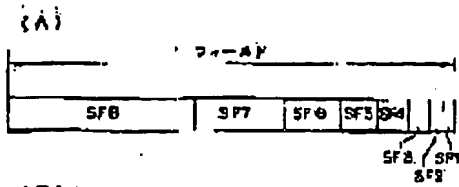
12 プラズマディスプレイパネル

13 画素データパルス発生回路

【図 4】

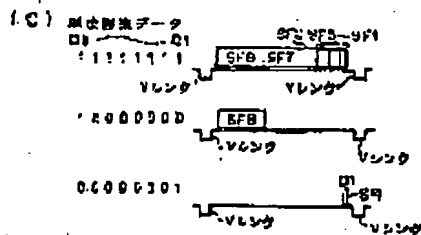


[図 1]

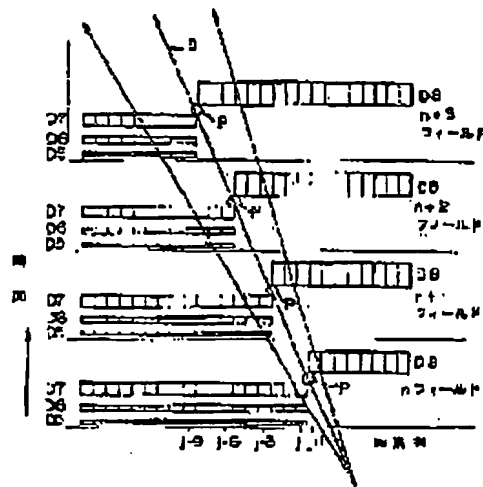


(B) ヴァリアントと対応関係 (単位)

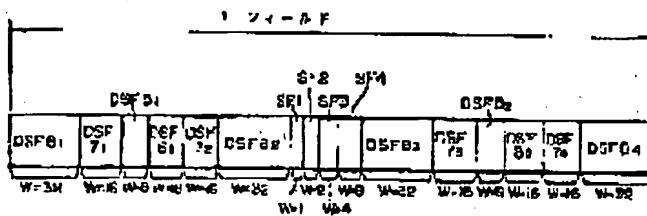
SFB	変換回数 28
SF7	変換回数 14
SF6	変換回数 19
SF8	変換回数 4
SF4	変換回数 5
SF3	変換回数 1
SF2	変換回数 1
SF1	変換回数 1



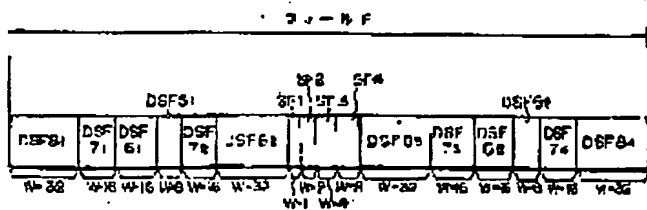
[図 2]



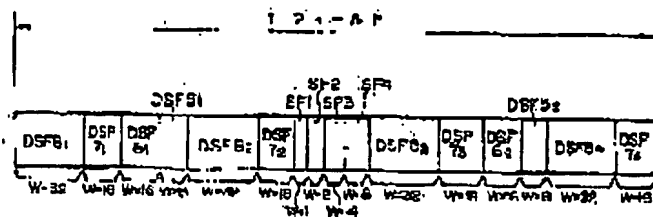
[図 5]



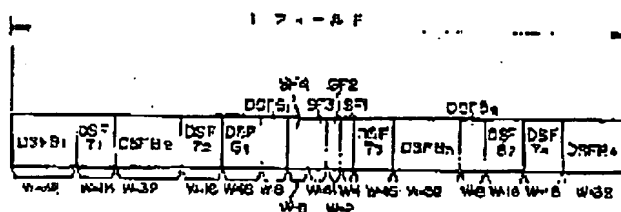
[図 6]



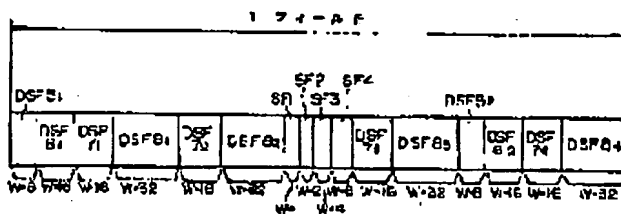
[7]



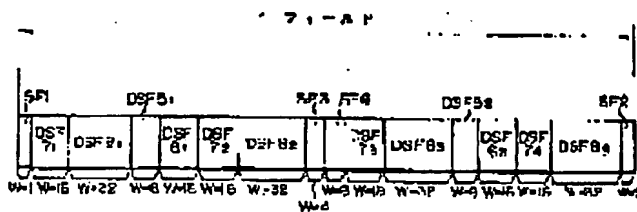
[8]



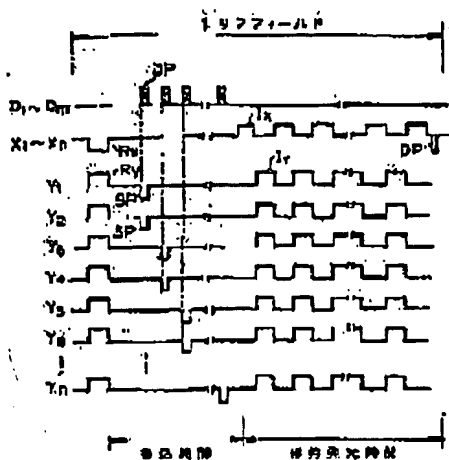
[9]



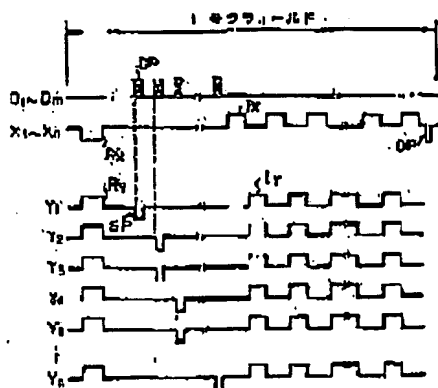
[10]



【図 11】



【図 12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.